



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshihisa KONDO

GAU:

SERIAL NO: 10/829,267

EXAMINER:

FILED: April 22, 2004

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND ELECTRIC DEVICE WITH THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
JAPAN

APPLICATION NUMBER
2003-419383

MONTH/DAY/YEAR
December 17, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月17日
Date of Application:

出願番号 特願2003-419383
Application Number:
[ST. 10/C]: [JP 2003-419383]

出願人 株式会社東芝
Applicant(s):

2004年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

CERTIFIED COPY OF
PRIORITY DOCUMENT 出証番号 出証特2004-303347

【書類名】 特許願
【整理番号】 03P137
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 16/00
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロ
エレクトロニクスセンター内
【氏名】 近藤 勝久
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100092820
【弁理士】
【氏名又は名称】 伊丹 勝
【電話番号】 03-5216-2501
【手数料の表示】
【予納台帳番号】 026893
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9810498

【書類名】特許請求の範囲

【請求項 1】

電気的書き換え可能な不揮発性メモリセルが配列されたセルアレイ、メモリセル選択を行うデコーダ及びデータ読み出し書き込みを行うセンスアンプを有するメモリコア回路と

データ読み出し及び書き込みを制御するメモリコントローラを含む周辺回路とを有する不揮発性半導体記憶装置において、

前記メモリコントローラは、

内部クロック信号を発生するオシレータと、

前記内部クロック信号に同期して前記セルアレイの読み出し及び書き込みのタイミング制御を行うタイミング制御回路と、

外部タイミング信号と前記内部クロック信号に基づいて、前記外部タイミング信号のみをクロック源とする第1の信号期間と前記内部クロック信号をクロック源とする前記第1の信号期間とは重ならない第2の信号期間とを有する、前記周辺回路の所定の回路領域のタイミング制御に供される混合クロック信号を生成する混合クロック生成回路と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記所定の回路領域は、アドレスレジスタ及びアドレスカウンタを含むアドレス回路と、コマンドをデコーダするコマンド回路とを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項 3】

前記混合クロック生成回路は、

前記タイミング制御回路を起動する実行フラグとこの実行フラグを前記内部クロック信号でサンプリングした同期実行フラグとの論理和出力により制御されて前記第1の信号期間の混合クロック信号となる外部タイミング信号を取り出す第1の論理ゲートと、

前記実行フラグと同期実行フラグとの論理積出力により制御されて前記第2の信号期間の混合クロック信号となる内部クロック信号を取り出す第2の論理ゲートとを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項 4】

前記外部タイミング信号は、書き込みイネーブル信号と読み出しイネーブル信号を含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項 5】

前記外部タイミング信号は、書き込みイネーブル信号と読み出しイネーブル信号を含み

前記混合クロック生成回路は、前記書き込みイネーブル信号と読み出しイネーブル信号によりそれぞれセット及びリセットされて前記所定の回路領域に供給される動作モード判定信号を出力するフリップフロップを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【書類名】明細書

【発明の名称】不揮発性半導体記憶装置

【技術分野】

【0001】

この発明は、電気的書き換え可能な不揮発性半導体記憶装置（EEPROM）及びこれ用いた電子装置に関する。

【背景技術】

【0002】

NAND型フラッシュメモリは、複数のメモリセルが直列接続されたNANDセルユニットを配列して構成されるため、大容量化が可能なEEPROMとして知られている。NAND型フラッシュメモリでは通常、ワード線方向のNANDセルユニットの集合であるブロック単位でデータ消去が行われる。最近は、大容量化したフラッシュメモリのデータ書き換え性能を向上させるために、ページ単位でデータ消去を行うNAND型フラッシュメモリも開発されている（例えば、特許文献1参照）。

【0003】

NAND型フラッシュメモリに代表されるEEPROMは、セルアレイとデコーダ及びセンスアンプ回路を含むコア回路の周辺に、複雑な周辺回路を有する。具体的に周辺回路には、データ読み出しの制御、データ書き込み及び消去のシーケンス制御を行うコントローラ、外部から供給されるタイミング信号により起動されて動作するコマンド回路やアドレス回路、コントローラにより制御されて各動作モードに必要な高電圧を発生する高電圧発生回路等がある。

【0004】

これらの周辺回路のうちコントローラは、内蔵オシレータの出力クロックに同期して各種タイミング信号を生成する同期型回路である。これに対して、コマンド回路やアドレス回路は、外部から供給されるタイミング信号により起動されるイベントと、コントローラからの内部タイミング信号により動作するイベントとがある非同期型回路である。

【0005】

具体的にデータ読み出し動作を説明する。外部から書き込みイネーブル信号WE_nと共に、コマンド及びアドレスを入力することにより、コントローラが起動される。このコントローラによりタイミング制御されて、セルアレイの選択セルのデータ読み出しが行われる。その内部動作が終了すると、コントローラは動作停止する。その後、外部から読み出しイネーブル信号RE_nを入力すると、センスアンプに読み出されたデータをチップ外部に出力する動作が行われる。

【0006】

これらのデータ読み出し動作において、例えばアドレスカウンタは、読み出しイネーブル信号RE_nに応じてインクリメントする。データ書き込み時であれば、アドレスカウンタは書き込みイネーブル信号WE_nに応じてインクリメントする。一方、コントローラによってセンスアンプのデータをデータバッファにプリフェッチする動作があるが、この場合にはアドレスカウンタは、内部クロックに同期してインクリメントする。

【0007】

【特許文献1】特開平10-302488号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

フラッシュメモリの周辺回路は、上述のように非同期型回路を含む複雑な構成となっている。特に、一つのメモリセルで多値記憶を行う多値メモリ技術を導入すると、周辺回路の複雑さは一層増す。このため、フラッシュメモリの開発期間の増大、開発リソースの増大が大きな問題になっている。

【0009】

通常の論理LSIの設計には、Verilog等のHDLを用いてRTLレベルの設計

を行い、論理合成ツールにより回路を生成するいわゆるトップダウン設計が適用される。しかしこの方式は、非同期回路を含むフラッシュメモリの周辺回路設計にはそのまま適用できない。

この発明は、トップダウン設計を可能とした周辺回路を持つ不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

この発明の一態様による不揮発性半導体記憶装置は、電気的書き換え可能な不揮発性メモリセルが配列されたセルアレイ、メモリセル選択を行うデコーダ及びデータ読み出し書き込みを行うセンスアンプを有するメモリコア回路と、データ読み出し及び書き込みを制御するメモリコントローラを含む周辺回路とを有し、前記メモリコントローラは、内部クロック信号を発生するオシレータと、前記内部クロック信号に同期して前記セルアレイの読み出し及び書き込みのタイミング制御を行うタイミング制御回路と、外部タイミング信号と前記内部クロック信号に基づいて、前記外部タイミング信号のみをクロック源とする第1の信号期間と前記内部クロック信号をクロック源とする前記第1の信号期間とは重ならない第2の信号期間とを有する、前記周辺回路の所定の回路領域のタイミング制御に供される混合クロック信号を生成する混合クロック生成回路とを有する。

【発明の効果】

【0011】

この発明によると、外部タイミング信号とチップ内部で生成される内部クロックとの合成クロックを用いることにより、周辺回路のトップダウン設計を可能とした不揮発性半導体記憶装置が提供できる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、一実施の形態によるNAND型フラッシュメモリの機能フロック構成を示している。メモリチップ1は、メモリコア回路10と、メモリコントローラ20を含む周辺回路とを有する。メモリコア回路10は、セルアレイ11と、そのワード線選択を行うロウデコーダ（ワード線ドライバを含む）12と、セルアレイ11のビット線に接続されて、データの読み出し及び書き込みを行うセンスアンプ回路13とを有する。

【0013】

セルアレイ11は、図2に示すように、複数のメモリセルM0～M15を直列接続して構成されるNANDセルユニットNUを配列して構成される。セルユニットNU内のメモリセルM0～M15の制御ゲートはそれぞれ異なるワード線WL0～WL15に接続される。NANDセルユニットNUの一端は選択ゲートトランジスタSG1を介して、ワード線と交差するビット線BLに接続され、他端は選択ゲートトランジスタSG2を介して共通ソース線SLに接続される。選択ゲートトランジスタSG1, SG2のゲートはそれぞれ、ワード線WL0～WL15と並行する選択ゲート線SGD, SG Sに接続される。

【0014】

ワード線方向に並ぶ複数のNANDセルユニットの集合は、データ消去の単位となるブロックを構成する。ビット線BLの方向に複数のブロックBLK0, BLK1, …が配置される。各ブロック内の一つのワード線に沿った複数のメモリセルの集合は、データ読み出し及び書き込みの単位である1ページとなる。通常は、前述のようにブロック単位でデータ消去が行われる。しかしこれに限られるわけではない。データ書き換えの効率化のために、ページ単位或いは連続する複数ページを含むサブブロック単位でデータ消去を行う方式も採用することができる。

【0015】

メモリセルは、ゲート絶縁膜中に電荷蓄積層として例えば浮遊ゲートを持つMOSトランジスタであり、浮遊ゲートの蓄積電荷量によってデータを不揮発に記憶する。メモリセルのデータは、浮遊ゲートへの電荷の注入、放出により電気的に書き換え可能である。例

えば、浮遊ゲートに電子を注入したしきい値の高い状態をデータ“0”、浮遊ゲートの電子を放出したしきい値の低い状態をデータ“1”として二値データ記憶を行う。

【0016】

この実施の形態のNAND型セルアレイの場合、データ書き込みは、ページ単位で行われる。書き込み時はまず、書き込みデータ“0”，“1”に応じて、選択ブロックのNANDセルユニットのチャネルをVss, Vcc-Vth (Vthは選択ゲートトランジスタのしきい値)にプリチャージする。この状態で選択ワード線に書き込み電圧Vpgmを印加し、非選択ワード線には中間電圧Vpassを印加する。これにより“0”データが与えられたセルでは、浮遊ゲートに電子注入が生じ、しきい値が上昇する。“1”データが与えられたセルでは、フローティングとなるチャネルが制御ゲートからの容量結合により電位上昇して、電子注入が生じない。

【0017】

実際にデータ書き込みは、データのしきい値分布制御のために、書き込みパルスの印加とその後のペリファイ読み出しとを含む書き込みサイクルを、全てのデータが書き込まれるまで繰り返すというシーケンスで行われる。メモリコントローラ20がそのシーケンス制御を行う。

【0018】

データの読み出しは、やはりページ単位で行われる。読み出し時、選択ワード線には、“0”，“1”を判別できる読み出し電圧、例えば0Vを与え、非選択ワード線にはセルデータに依らずメモリセルがオンするパス電圧Vreadを与える。選択ゲートトランジスタもオンとする。これにより、セル電流が流れるか否かを検出することにより、データを判別できる。実際には例えば、センスアンプ回路13によりセルデータ読み出しに先立ってビット線を例えばVccにプリチャージし、NANDセルユニットによりビット線が放電されるか否かを検出することにより、データが検出される。ビット線プリチャージからセルデータ読み出しのまでの制御もメモリコントローラ20により行われる。

【0019】

データ消去は通常ブロック単位で行われる。このとき選択ブロックのワード線には0Vを与え、セルアレイが形成されたp型ウェルに消去電圧Veraを与える。これにより、選択されたブロックの全メモリセルでは、浮遊ゲートの電子がチャネルに放出され、データ“1”的消去状態が得られる。

【0020】

メモリコントローラ20は、データ読み出しや書き込み時、センスアンプ回路13やロウデコーダ12にタイミング信号を送って、読み出し動作の制御、データ書き込み及び消去のシーケンス制御を行う。周辺回路にはメモリコントローラ20の他、外部から供給されるコマンドをデコードするコマンド回路32、外部から供給されるアドレスを保持するアドレス回路33、セルアレイ11の書き込みや消去に用いられる各種高電圧Vppを発生する高電圧発生回路31を有する。アドレス回路33は詳細は示さないが、ロウデコーダ12に供給されるロウアドレス及びデータバッファ34内のカラム選択ゲートに供給されるカラムアドレスを保持するアドレスレジスタを有する他、動作モードに応じてアドレスをインクリメントするアドレスカウンタを有する。

【0021】

I/Oコントロール回路35は、コマンドラッティネーブル信号CLE及びアドレスラッティネーブル信号ALEに基づいて、コマンド回路32及びアドレス回路33へのコマンド及びアドレスの入力を制御する。シリアルコントロール回路36は、外部I/O端子とセンスアンプ回路23との間で、1ページ分の読み出し及び書き込みデータのシリアル転送を制御すべく、アドレス回路33を制御する。

【0022】

メモリコントローラ20は、内部クロック信号oscClkを発生するオシレータ21と、タイミング制御回路22を有する。タイミング制御回路22は、内部クロック信号oscClkに基づいてメモリコア回路10に供給されるタイミング信号を生成して、セル

アレイ11の読み出し及び書き込みのタイミング制御を行う。メモリコントローラ20は更に、内部クロック信号OscC1kと、外部タイミング信号である書き込みイネーブル信号WEn及び読み出しイネーブル信号RENとに基づいて、混合クロック信号MergeC1kを生成する混合クロック生成回路23を有する。

【0023】

混合クロック信号MergeC1kは、コマンド回路32やアドレス回路33に供給され、これによりコマンド回路32やアドレス回路33がタイミング制御信号を出力する。即ち、従来は書き込みイネーブル信号WE_nや読み出しイネーブル信号RE_nに基づいてタイミング信号を出力していたコマンド回路32やアドレス回路33が、この実施の形態では、混合クロック信号MergeC1kにより制御される。

【0024】

具体的には後に説明するように、混合クロック生成回路23は、外部から供給される書き込みイネーブル信号WE_n又は読み出しイネーブル信号RE_nと、これに対して一定の休止期間において続く内部クロック信号OscC1kとを合成した合成クロック信号MergeC1kを出力するように構成される。

【0025】

この様な混合クロック信号MergeC1kを生成するためには、オシレータ21はイネーブル端子(En)を有し、メモリコントローラ20が起動されたときに発振動作を行うことが必要である。その詳細は後述する。この様な合成クロック信号MergeC1kを用いることによって、メモリコントローラ20のみならず、コマンド回路32やアドレス回路33を含む周辺回路に対して、トップダウン設計が可能になる。

【0026】

図3は、混合クロック生成回路23とそれに付随する回路(図1では省略されている)の具体的な構成を示している。図5は、この混合クロック生成回路23の動作波形を示している。

RSフリップフロップFF1のセット入力端子とリセット入力端子にはそれぞれ書き込みイネーブル信号WE_nと読み出しイネーブル信号RE_nが入る。これによりフリップフロップFF1は、書き込みイネーブル信号WE_nの立ち下がりで“H”となり、読み出しイネーブル信号RE_nの立ち下がりで“L”になる信号WeRenを出力する。この信号WeRenは、書き込みモードと読み出しモードの判定信号としてコマンド回路32及びアドレス回路33を含む周辺回路領域30に供給される。

【0027】

組み合わせ論理回路41は、書き込みイネーブル信号WE_nや読み出しイネーブル信号RENに同期してアドレスやコマンドが外部から周辺回路領域30に供給されると、それにより決まる起動条件を判定する。この組み合わせ論理回路41の出力に応じて、メモリコントローラ20が起動されて動作状態にあることを示す実行フラグExecのセット、リセットが制御される。実行フラグExecは、オシレータ21が出力する内部クロック信号OscC1kと共にタイミング制御回路22に供給される。即ち実行フラグExecは、内部クロック信号OscC1kに同期して動作するタイミング制御回路22を起動するための信号となる。

【0028】

実行フラグExecは、外部タイミング信号である書き込みイネーブル信号WE_n又は読み出しイネーブル信号RENに同期してセット、リセットされる。即ち実行フラグExecが“L”的間は、オシレータ21がディセーブル状態を保ち、一方でANDゲートG2が活性に保たれる。その間、書き込みイネーブル信号WE_n又は読み出しイネーブル信号RENが入ると、それがORゲートG1を通り、ANDゲートG2及びNORゲートG4を通って、混合クロック信号MergeC1kとして出力される。この混合クロック信号MergeC1kは、DタイプフリップフロップFF2のクロック端子に入る。これにより、組み合わせ論理回路41の出力に応じて、実行フラグExec=“H”が得られる。

【0029】

実行フラグ Exec は、 OR ゲート G5 を通り、インバータ INV を通って、外部にビギー信号 BUSYn として出力される。また実行フラグ Exec が “H” になると、 AND ゲート G2 は非活性になり、また OR ゲート G5 を通って実行フラグ Exec がインペーブル端子に入ることにより、一定の起動遅延時間をおいて、発振を開始する。オシレータ 21 が output する内部クロック OscClk は、フリップフロップ FF2 の出力がデータ端子に入るもう一つの D タイプフリップフロップ FF3 のクロック端子に入る。これによりフリップフロップ FF3 は、実行フラグ Exec を内部クロック信号 OscClk の 1 サイクル分遅延させた同期実行フラグ SyncExec を出力する。

【0030】

同期実行フラグ SyncExec は、混合クロック MergeClk として内部クロック OscClk を出力する期間の開始タイミングを決定する。即ち実行フラグ Exec と同期実行フラグ SyncExec は、 AND ゲート G6 に入る。AND ゲート G6 は、実行フラグ Exec と同期実行フラグ SyncExec の “H” レベル期間 “H” となるクロックイネーブル信号 ClkE を出力する。このクロックイネーブル信号 ClkE により AND ゲート G3 が活性化されると、オシレータ 21 が output する内部クロック OscClk は AND ゲート G3 を通り、 NOR ゲート G4 を通って、混合クロック信号 MergeClk として出力される。

【0031】

この様な混合クロック生成回路 23 によって、図 5 に示すように、外部タイミング信号 WE n, RE n をクロック源とする信号期間 A と、内部クロック信号 OscClk をクロック源とする信号期間 B を持つ混合クロック信号 MergeClk が生成される。即ち、実行フラグ Exec とこれを内部クロック OscClk でサンプリングした同期実行フラグ SyncExec の論理和をとる OR ゲート G5 の出力により制御される AND ゲート G2 によって、信号期間 A の混合クロック信号として書き込みイネーブル信号 WE n や読み出しイネーブル信号 RE n が取り出される。また実行フラグ Exec と同期実行フラグ SyncExec の論理積をとる AND ゲート G6 の出力により制御される AND ゲート G3 によって、信号期間 B の混合クロック信号として内部クロック信号 OscClk が取り出される。

【0032】

実行フラグ Exec が “H” になった後、同期実行フラグ SyncExec が “H” になるまでの間は、 AND ゲート G2, G3 が共に非活性である。即ちオシレータ 21 の起動遅延機能により、信号期間 A, B の間のクロック休止期間 C が確保される。

【0033】

この様にして得られる混合クロック信号 MergeClk は回路領域 30 に供給され、内部クロック Osc はタイミング制御回路 22 に供給されて、読み出し、書き込み等のタイミング制御が行われる。組み合わせ論理回路 41 がタイミング制御回路 22 の動作終了信号 SeqEND を検出すると、実行フラグ Exec は “L” になる。実行フラグ Exec が “L” になった後も、同期実行フラグ SyncExec によりオシレータ 21 は発振動作を続ける。実行フラグ Exec に 1 サイクル遅れて同期実行フラグ SyncExec が “L” になると、オシレータ 21 は発振停止する。実行フラグ Exec が “L” になると、 AND ゲート G3 は非活性になり、またその後同期実行フラグ SyncExec が “L” になるまでは、 AND ゲート G2 も非活性である。従って、実行フラグ Exec が “L” になった後も、 1 サイクルのクロック休止期間 C が確保される。

【0034】

以上のようにこの実施の形態では、外部タイミング信号である書き込みイネーブル信号 WE n 、読み出しイネーブル信号 RE n と内部クロック信号 OscClk を混合した混合クロック信号 MergeClk を生成している。混合クロック信号 MergeClk は、アドレス回路 33 やコマンド回路 32 に供給され、内部クロック信号 OscClk はタイミング制御回路 22 に供給される。

【0035】

このような混合クロック信号MergeClockを用いることにより、内部クロック信号OscClockにより動作するタイミング制御回路22と、外部タイミング信号により動作するアドレス回路33やコマンド回路32を含む周辺回路領域30とを同期型回路として扱うこと、従ってトップダウン方式を利用した論理合成による回路設計が可能になる。以上により、NAND型フラッシュメモリの設計効率が高いものとなる。

【0036】

また外部デバイスは、ビジー信号BUSYnにより、メモリチップがビジー状態であるか(信号期間B)、或いは外部タイミング信号を供給できる信号期間Aであるかを識別することができる。更にビジー信号BUSYnと、動作モードの判定信号WeRenを適切に用いれば、どのクロック源による動作であるかを識別して、メモリ動作制御を行うことができる。

【0037】

NAND型フラッシュメモリでは通常、書き込みイネーブル信号WEnと読み出しイネーブル信号RENとの最小位相差が仕様により定められている。製品によっては、書き込みイネーブル信号WEnと読み出しイネーブル信号RENとが短時間ではあるが重なることも許容されている。この様な製品に対してこの発明を適用するためには、混合クロック生成回路の前段に、書き込みイネーブル信号WEnと読み出しイネーブル信号RENを分離するための波形整形回路を備えればよい。

【0038】

図4は、混合クロック生成回路23とそれに付随する回路の他の構成例を示している。図3と対応する部分には図3と同じ符号を付して詳細な説明は省く。図3の回路では、クロック休止期間Cを確保するためのオシレータ21の起動遅延の機能を、オシレータ21内に実装した。これに対して図4では、実行フラグExecに基づいて同期実行フラグSyncExecを発生させる部分に2段のDタイプフリップフロップFF3, FF4を配置することにより、同様の機能を実現している。

【0039】

次に、上記実施の形態による不揮発性半導体記憶装置を搭載した電子カードと、その電子カードを用いた電子装置の実施の形態を説明する。

図6は、この実施の形態による電子カードと、この電子カードを用いた電子装置の構成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ101を示す。電子カードは、デジタルスチルカメラ101の記録媒体として用いられるメモリカード61である。メモリカード61は、先の各実施の形態で説明した不揮発性半導体装置或いはメモリシステムが集積化され封止されたICパッケージPK1を有する。

【0040】

デジタルスチルカメラ101のケースには、カードスロット102と、このカードスロット102に接続された、図示しない回路基板が収納されている。メモリカード61は、カードスロット102に取り外し可能に装着される。メモリカード61は、カードスロット102に装着されると、回路基板上の電気回路に電気的に接続される。

電子カードが例えば、非接触型のICカードである場合、カードスロット102に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

【0041】

図7は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ103により集光されて撮像装置104に入力される。撮像装置104は例えばCMOSイメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器(AMP)により増幅された後、A/Dコンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路105に入力され、例えば自動露出制御(AE)、自動ホワイトバランス制御(AWB)、及び色分離処理を行った後、輝度信号と色差信号に変換される。

【0042】

画像をモニターする場合、カメラ信号処理回路105から出力された信号はビデオ信号処理回路106に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えばNTSC (National Television System Committee) を挙げることができる。ビデオ信号は、表示信号処理回路107を介して、デジタルスチルカメラ101に取り付けられた表示部108に出力される。表示部108は例えば液晶モニターである。

【0043】

ビデオ信号は、ビデオドライバ109を介してビデオ出力端子110に与えられる。デジタルスチルカメラ101により撮像された画像は、ビデオ出力端子110を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部108以外でも表示することができる。撮像装置104、アナログ増幅器(AMP)、A/Dコンバータ(A/D)、カメラ信号処理回路105は、マイクロコンピュータ111により制御される。

【0044】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン112を操作者が押す。これにより、マイクロコンピュータ111が、メモリコントローラ113を制御し、カメラ信号処理回路105から出力された信号がフレーム画像としてビデオメモリ114に書き込まれる。ビデオメモリ114に書き込まれたフレーム画像は、圧縮/伸張処理回路115により、所定の圧縮フォーマットに基づいて圧縮され、カードインターフェース116を介してカードスロット102に装着されているメモリカード61に記録される。

【0045】

記録した画像を再生する場合、メモリカード61に記録されている画像を、カードインターフェース116を介して読み出し、圧縮/伸張処理回路115により伸張した後、ビデオメモリ114に書き込む。書き込まれた画像はビデオ信号処理回路106に入力され、画像をモニターする場合と同様に、表示部108や画像機器に映し出される。

【0046】

なおこの構成では、回路基板100上に、カードスロット102、撮像装置104、アナログ増幅器(AMP)、A/Dコンバータ(A/D)、カメラ信号処理回路105、ビデオ信号処理回路106、メモリコントローラ113、ビデオメモリ114、圧縮/伸張処理回路115、及びカードインターフェース116が実装される。

【0047】

但しカードスロット102については、回路基板100上に実装される必要はなく、コネクタケーブル等により回路基板100に接続されるようにしてもよい。

回路基板100上には更に、電源回路117が実装される。電源回路117は、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路117として、DC-DCコンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ118、表示部108にも供給される。

【0048】

以上のようにこの実施の形態の電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図8A-Jに示すような他の各種電子機器に適用することができる。即ち、図8Aに示すビデオカメラ、図8Bに示すテレビジョン、図8Cに示すオーディオ機器、図8Dに示すゲーム機器、図8Eに示す電子楽器、図8Fに示す携帯電話、図8Gに示すパーソナルコンピュータ、図8Hに示すパーソナルディジタルアシスタント(PDA)、図8Iに示すボイスレコーダ、図8Jに示すPCカード等に、上記電子カードを用いることができる。

【0049】

上記実施の形態では、NAND型セルアレイを持つフラッシュメモリを説明したが、AND型、バーアチャルグラウント型、NOR型等の他のセルアレイ方式を用いたEEPROMにも同様にこの発明を適用することができる。

【図面の簡単な説明】

【0050】

【図1】この発明の実施の形態によるフラッシュメモリチップの機能ブロック構成を示す図である。

【図2】同フラッシュメモリのセルアレイ構成を示す図である。

【図3】同フラッシュメモリのメモリコントローラ周辺の具体構成を示す図である。

【図4】同フラッシュメモリのメモリコントローラ周辺の他の構成例を示す図である

。 【図5】同フラッシュメモリのクロック方式を説明するためのタイミング図である。

【図6】デジタルスチルカメラに適用した実施の形態を示す図である。

【図7】同デジタルスチルカメラの内部構成を示す図である。

【図8A】ビデオカメラに適用した実施の形態を示す図である。

【図8B】テレビジョンに適用した実施の形態を示す図である。

【図8C】オーディオ機器に適用した実施の形態を示す図である。

【図8D】ゲーム機器に適用した実施の形態を示す図である。

【図8E】電子楽器に適用した実施の形態を示す図である。

【図8F】携帯電話に適用した実施の形態を示す図である。

【図8G】パーソナルコンピュータに適用した実施の形態を示す図である。

【図8H】パーソナルデジタルアシスタント（PDA）に適用した実施の形態を示す図である。

【図8I】ボイスレコーダに適用した実施の形態を示す図である。

【図8J】PCカードに適用した実施の形態を示す図である。

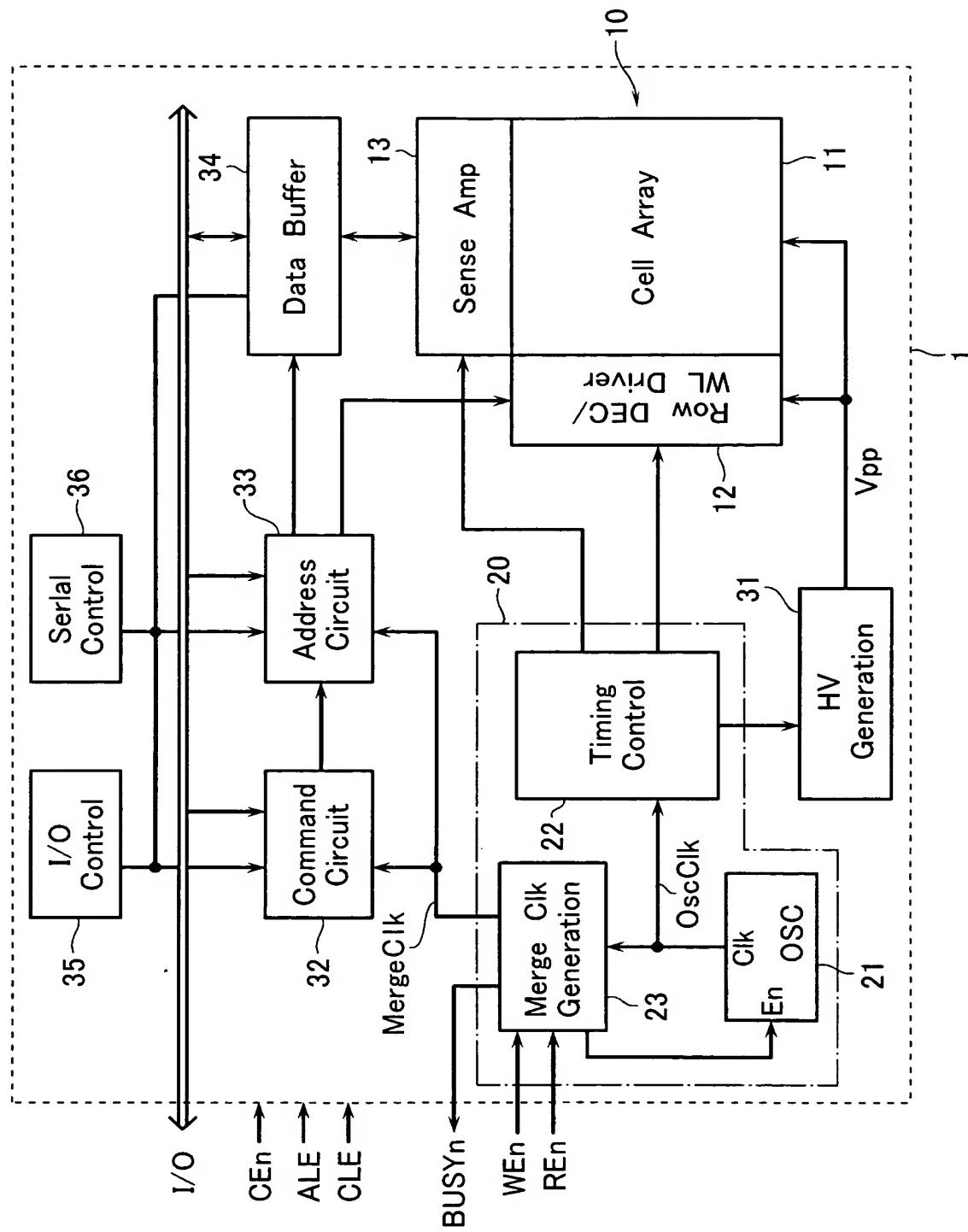
【符号の説明】

【0051】

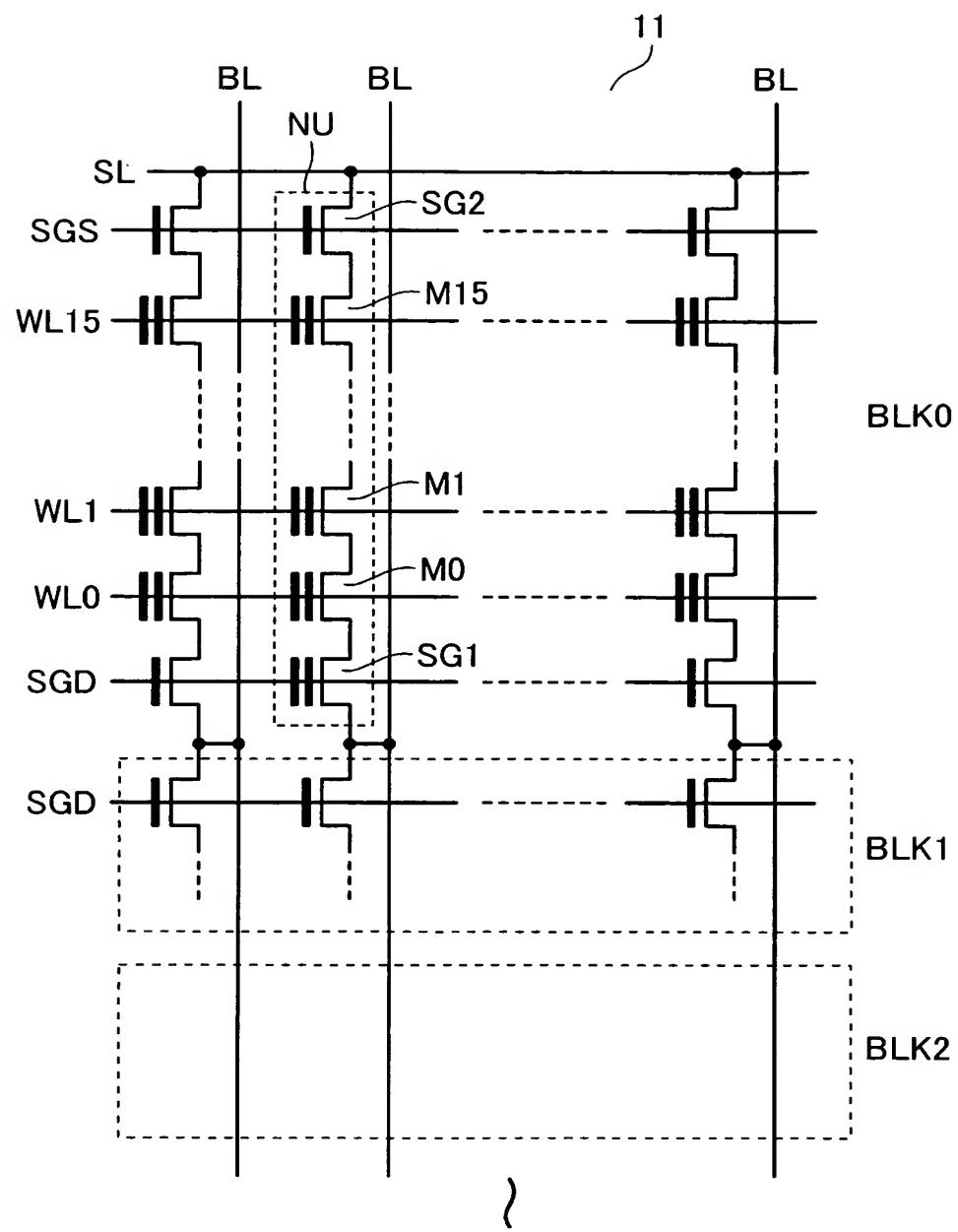
1…メモリチップ、10…メモリコア回路、11…セルアレイ、12…ロウデコーダ、13…センスアンプ回路、20…メモリコントローラ、21…オシレータ、22…タイミング制御回路、23…混合クロック生成回路、30…周辺回路領域、31…高電圧発生回路、32…コマンド回路、33…アドレス回路、34…データバッファ、35…I/Oコントロール回路、36…シリアルコントロール回路、41…組み合わせ論理回路、FF1…RSフリップフロップ、FF2, FF3, FF4…Dタイプフリップフロップ、Osc…内部クロック信号、MergeClk…混合クロック信号、Exec…実行フラグ、SyncExec…同期実行ラグ。

【書類名】図面

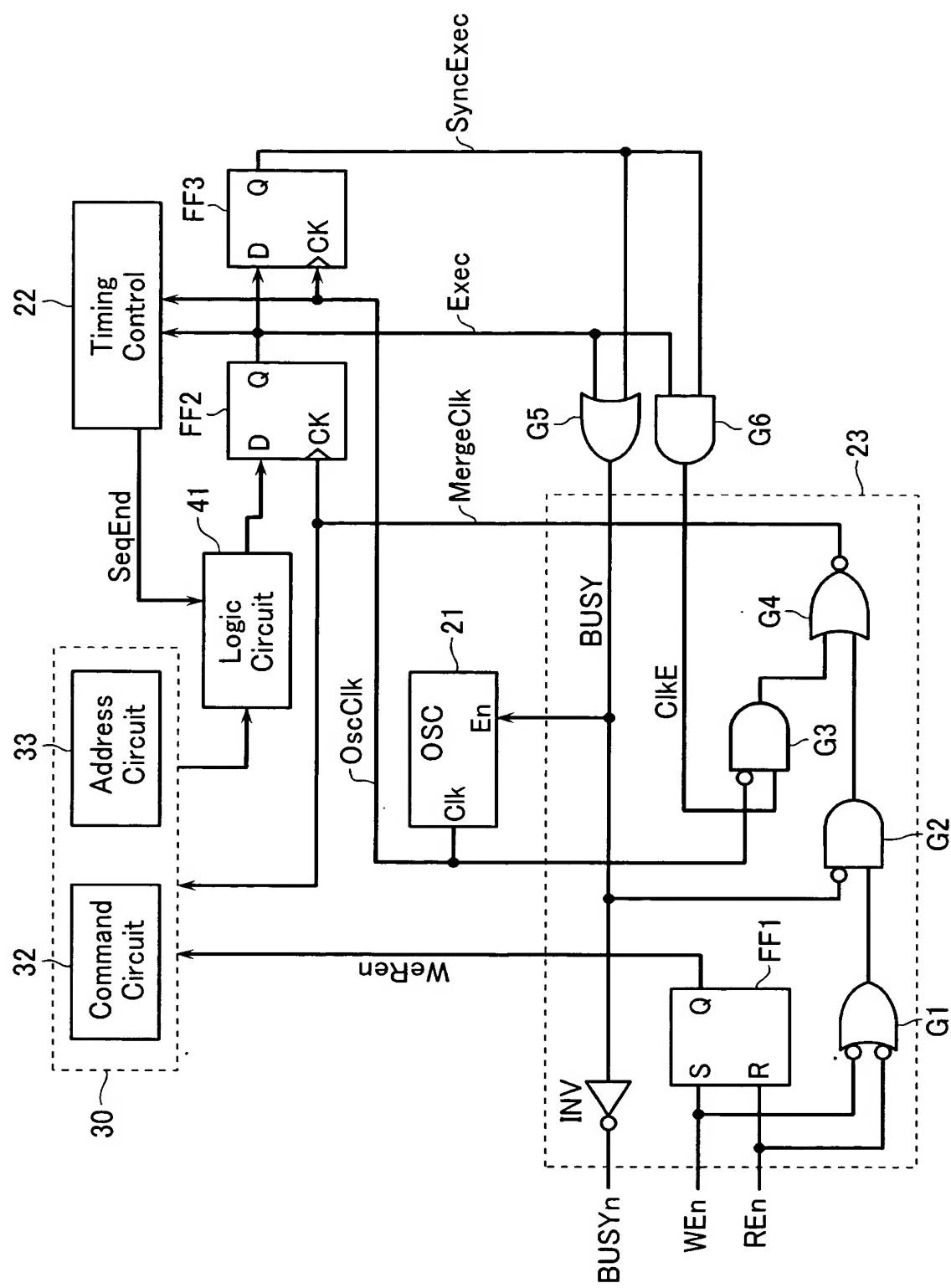
【図1】



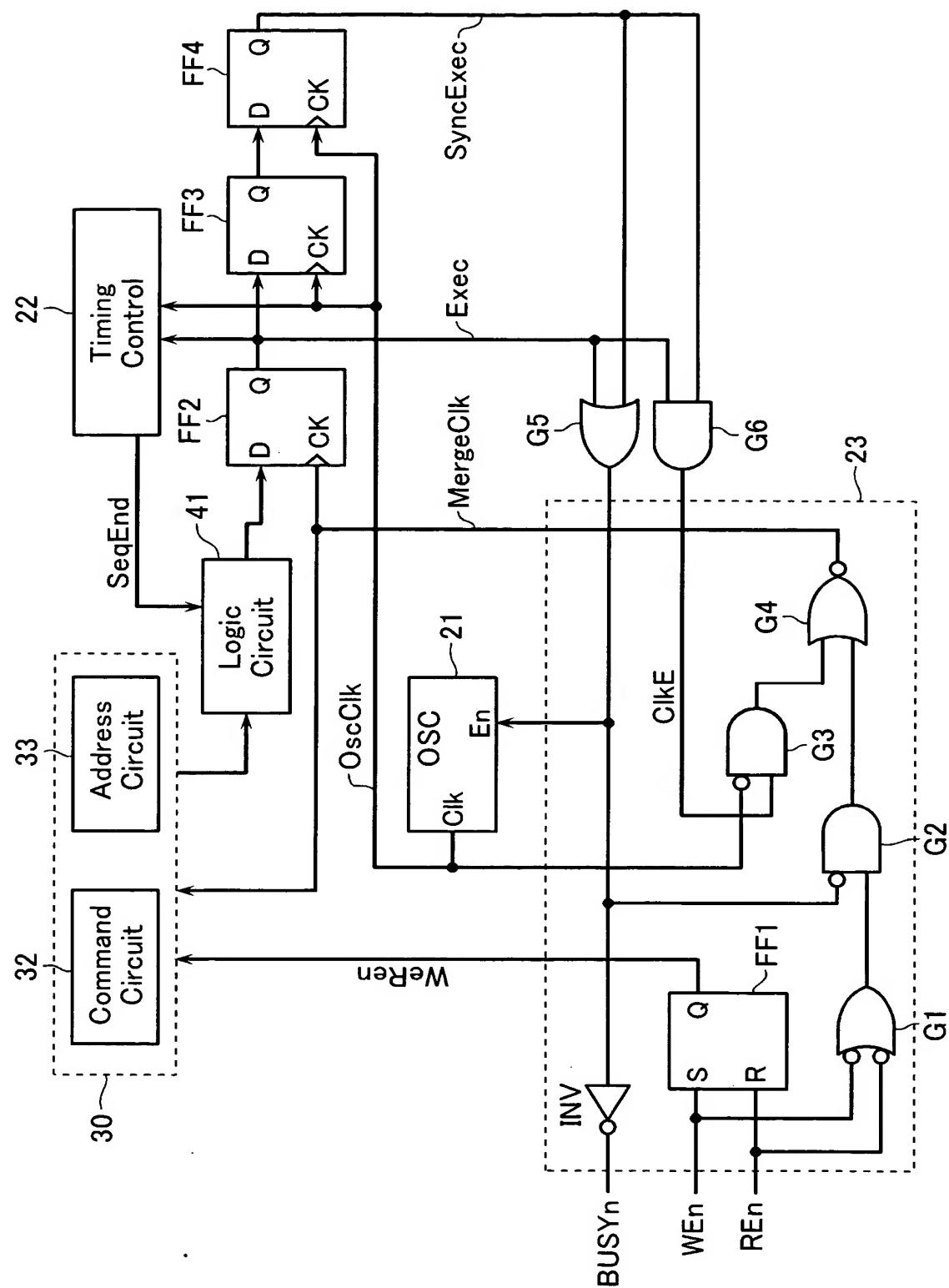
【図 2】



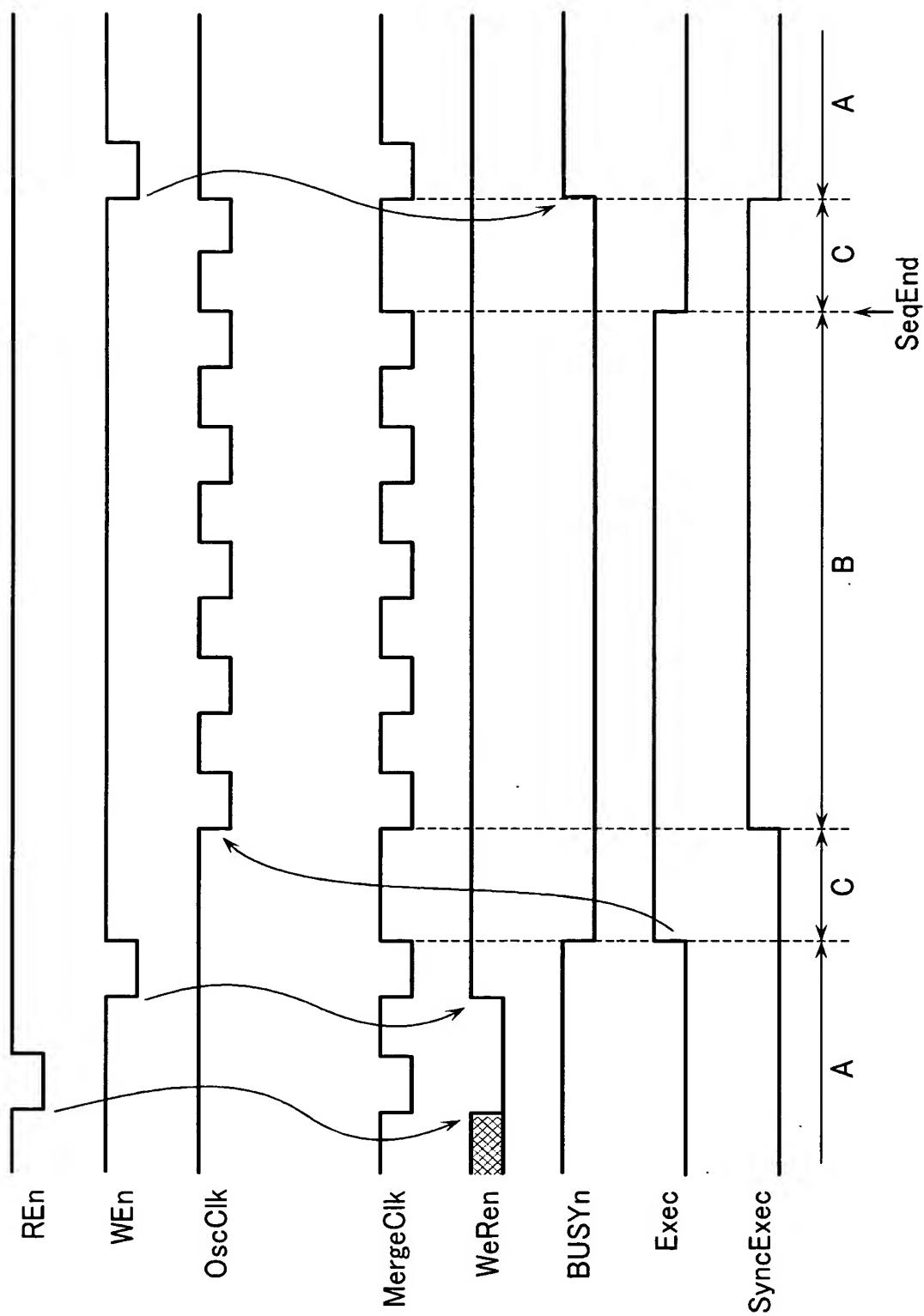
【図3】



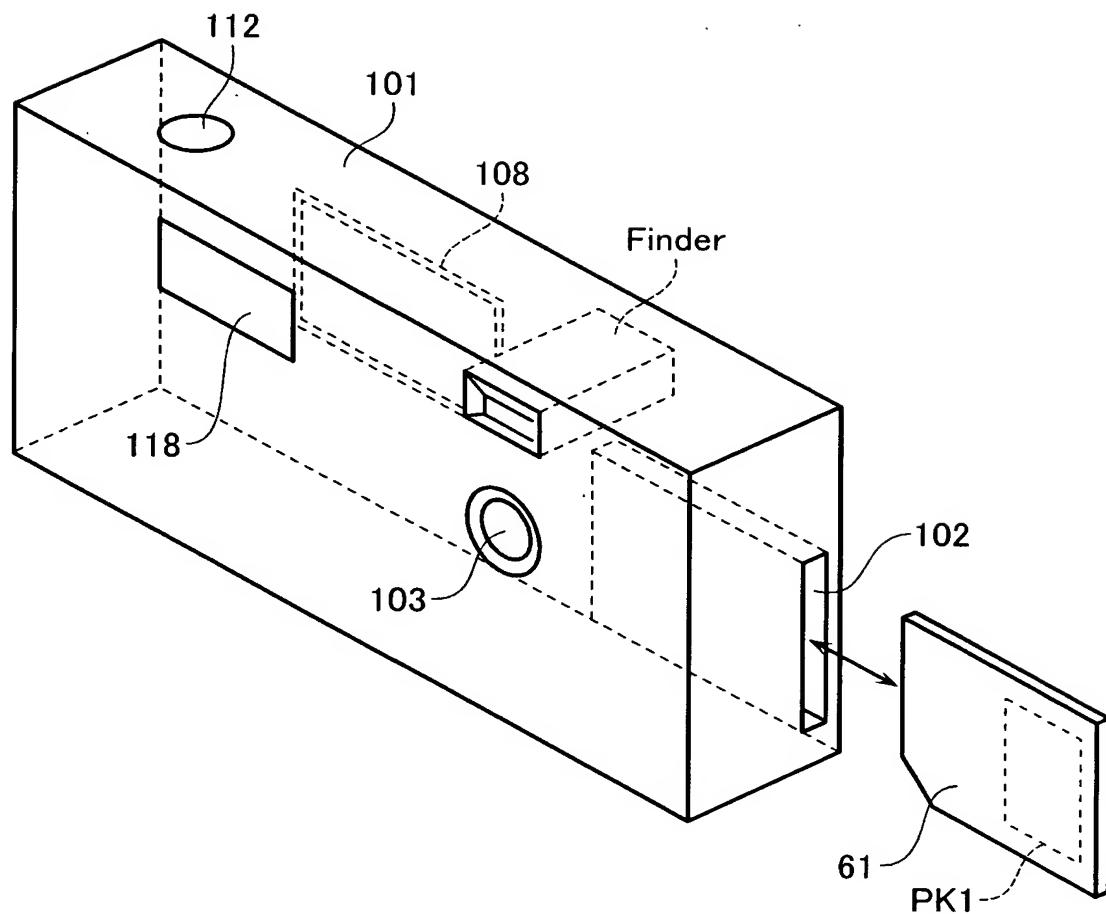
【図 4】



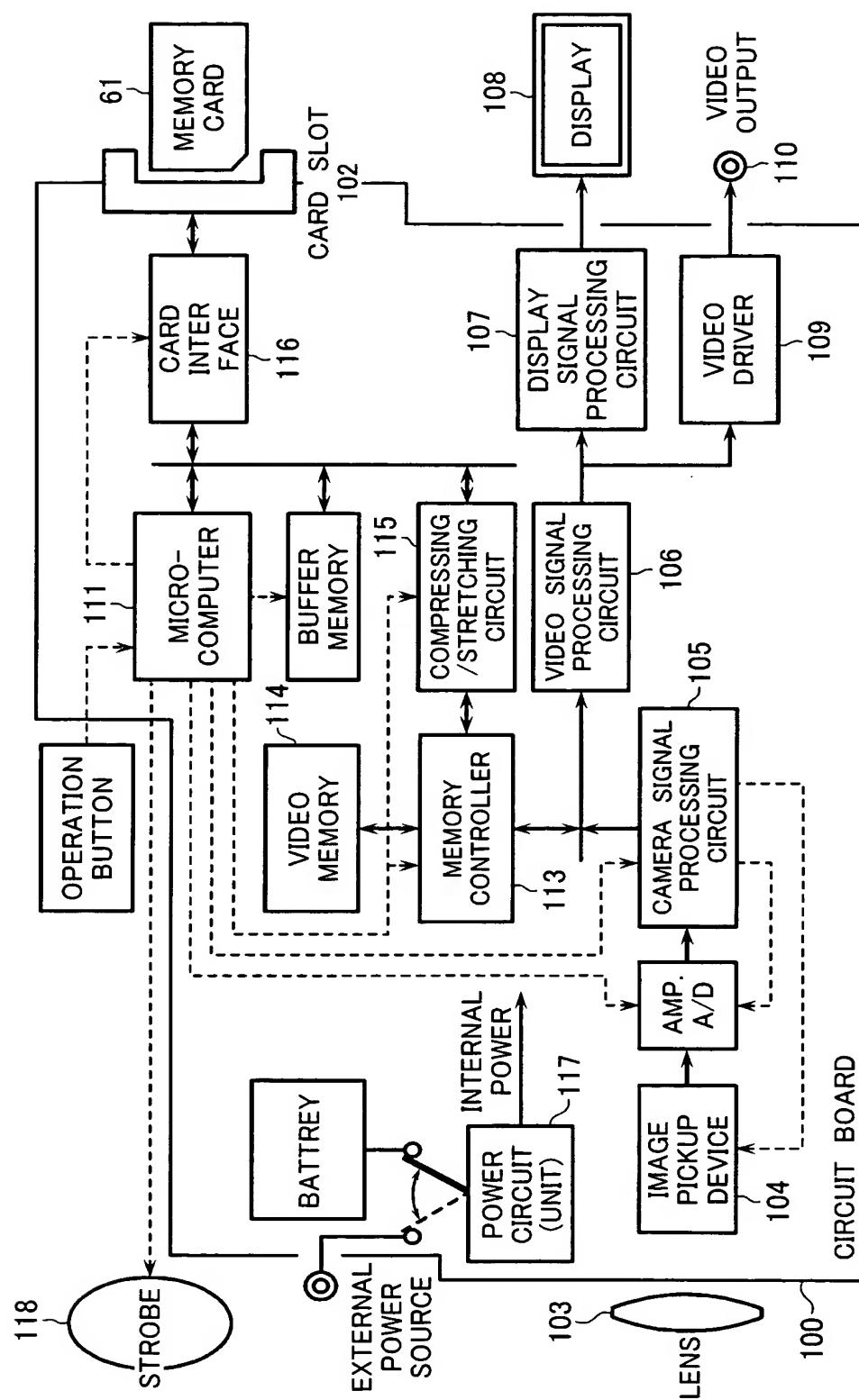
【図5】



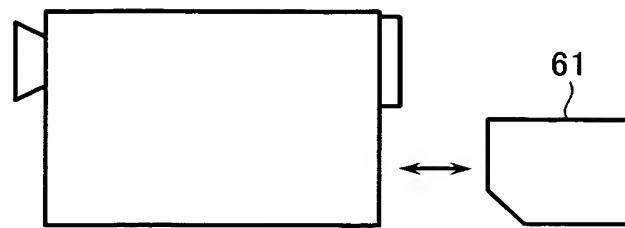
【図6】



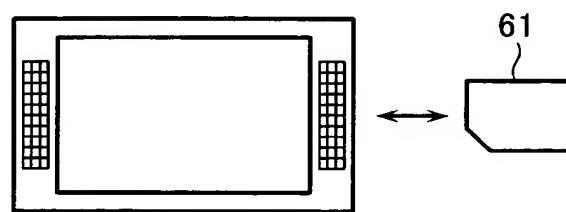
【図 7】



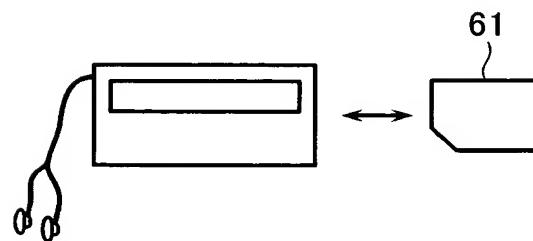
【図8 A】



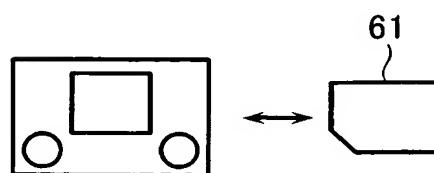
【図8 B】



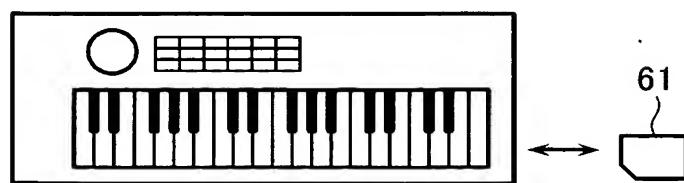
【図8 C】



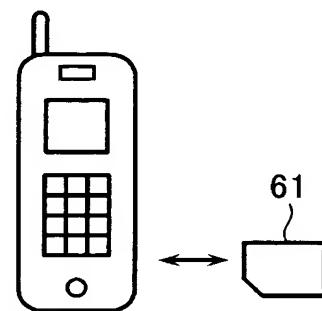
【図8 D】



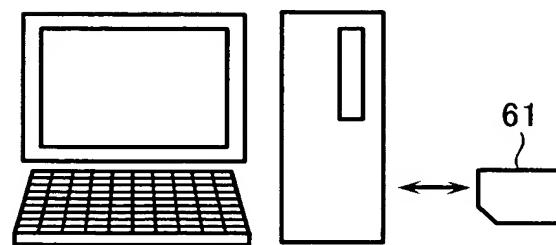
【図8 E】



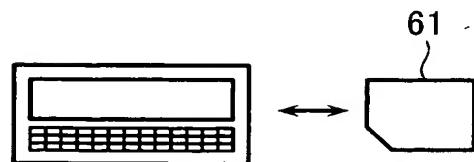
【図8 F】



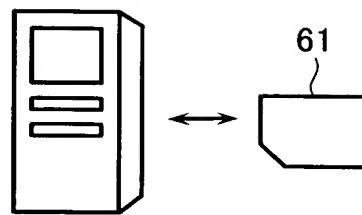
【図8 G】



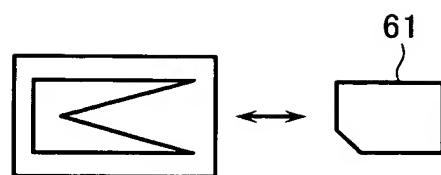
【図8 H】



【図8 I】



【図8 J】



【書類名】要約書

【要約】

【課題】 トップダウン設計を可能とした周辺回路を持つ不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、電気的書き換え可能な不揮発性メモリセルが配列されたセルアレイ、メモリセル選択を行うデコーダ及びデータ読み出し書き込みを行うセンスアンプを有するメモリコア回路と、データ読み出し及び書き込みを制御するメモリコントローラを含む周辺回路とを有し、前記メモリコントローラは、内部クロック信号を発生するオシレータと、前記内部クロック信号に同期して前記セルアレイの読み出し及び書き込みのタイミング制御を行うタイミング制御回路と、外部タイミング信号と前記内部クロック信号に基づいて、前記外部タイミング信号のみをクロック源とする第1の信号期間と前記内部クロック信号をクロック源とする前記第1の信号期間とは重ならない第2の信号期間とを有する、前記周辺回路の所定の回路領域のタイミング制御に供される混合クロック信号を生成する混合クロック生成回路とを有する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2003-419383
受付番号	50302076172
書類名	特許願
担当官	土井 恵子 4264
作成日	平成15年12月18日

<認定情報・付加情報>

【提出日】	平成15年12月17日
-------	-------------

特願 2003-419383

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝